IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Takao NISHIMURA, et al.

Serial Number: Not Yet Assigned

Filed: January 26, 2004 **Customer No.: 38834**

For: A STACKED SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 26, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-065392, filed on March 11, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 042057
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
WFW/ll

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: March 11, 2003

Application Number: No. 2003-065392
[ST.10/C]: [JP 2003-065392]

Applicant(s): FUJITSU LIMITED

November 25, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3097151

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００３年 ３月１１日

出 願 番 号
Application Number: 特願２００３－０６５３９２

[ST. 10/C]: ［ＪＰ２００３－０６５３９２］

出 願 人
Applicant(s): 富士通株式会社

２００３年１１月２５日

特許庁長官
Commissioner,
Japan Patent Office 今 井 康 夫

出証番号 出証特２００３－３０９７１５１

【書類名】　特許願

【整理番号】　0340242

【提出日】　平成15年 3月11日

【あて先】　特許庁長官　太田　信一郎　殿

【国際特許分類】　H01L 23/57

H01L 23/12

【発明の名称】　積層型半導体装置

【請求項の数】　9

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　西村　隆雄

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　合葉　和之

【発明者】

【住所又は居所】　神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

【氏名】　高島　晃

【特許出願人】

【識別番号】　000005223

【氏名又は名称】　富士通株式会社

【代理人】

【識別番号】　100070150

【住所又は居所】　東京都渋谷区恵比寿４丁目２０番３号　恵比寿ガーデンプレイスタワー３２階

【弁理士】

【氏名又は名称】　伊東　忠彦

【電話番号】　03-5424-2511

【手数料の表示】

【予納台帳番号】　002989

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0114942

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　積層型半導体装置

【特許請求の範囲】

【請求項１】　第１の配線基板と、該第１の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第１の半導体装置部と、

前記第１の半導体装置部の下部に位置するよう配設された第２の配線基板と、該第２の配線基板に搭載された少なくとも一つの半導体素子と、前記第２の配線板の前記第１の半導体装置部と対向する面に形成された接続用電極とを有する第２の半導体装置部と、

前記第１の半導体装置部と前記第２の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電気的に接続する第１の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電気的に接続する第２の導電性部材と、前記第１の導電性部材と前記第２の導電性部材を接続する第３の導電性部材とを有する第３の配線基板と、

を具備することを特徴とする積層型半導体装置。

【請求項２】　請求項１記載の積層型半導体装置において、

前記第１の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第３の導電性部材と接続された半田バンプにより構成したことを特徴とする積層型半導体装置。

【請求項３】　請求項１記載の積層型半導体装置において、

前記第１の導電性部材を半田バンプにより構成すると共に、

前記第２の導電性部材及び前記第３の導電性部材を、前記第３の配線基板の前記第２の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第３の配線基板に形成された貫通孔を介して前記第２の導電性部材と電気的に接続したことを特徴とする積層型半導体装置。

【請求項４】　請求項１記載の積層型半導体装置において、

前記第２の導電性部材及び前記第３の導電性部材を、前記第３の配線基板の前記第１の半導体装置部と対向する面と、前記第２の半導体装置部と対向する面との両面にそれぞれに形成すると共に、

該両面に形成された第３の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とする積層型半導体装置。

【請求項５】　請求項１乃至４のいずれかに記載の積層型半導体装置において、

前記第１の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項６】　請求項１乃至５のいずれかに記載の積層型半導体装置において、

前記第２の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

【請求項７】　請求項１乃至６のいずれかに記載の積層型半導体装置において、

前記第３の配線基板を多層配線基板としたことを特徴とする積層型半導体装置。

【請求項８】　請求項１乃至７のいずれかに記載の積層型半導体装置において、

前記第３の配線基板に受動素子を設けたことを特徴とする積層型半導体装置。

【請求項９】　請求項８記載の積層型半導体装置において、

前記第３の配線基板を多層配線基板とすると共に、

前記受動素子を前記多層配線基板の内部に形成したことを特徴とする積層型半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は積層型半導体装置に係り、特に複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関する。

【０００２】

近年の電子機器の発達に伴い、電子機器に使用される半導体装置には、小型化、薄型化、多機能化、高機能化、高密度化が益々要求されている。このような要

求に対処すべく、半導体装置パッケージの構造は、複数の半導体装置部あるいは複数の半導体素子を積層した三次元構造に移行しつつある。

【０００３】

【従来の技術】

従来、複数の半導体装置部（半導体素子単体、或いは半導体素子をパッケージングした構成のものをいう）を積層した三次元構造を有した半導体装置として、例えば特許文献１または特許文献２に開示されたものがある。特許文献１には、外部端子としてリードフレームを用いたＱＦＰ（クワッド・フラット・パッケージ）型パッケージが開示されている。この半導体装置は、リードフレームのインナーリード部を変形させて凸部を形成することでパッケージ上部に端子を設け，そのパッケージの上部に，上下面に端子を持つ積層配線基板をはんだバンプで接続する構成とされている。

【０００４】

また、特許文献２には、半導体素子をモールド封止した半導体装置部を多段に積層した構造の半導体装置が開示されている。この半導体装置は、モールド封止された半導体装置部のモールド封止部に貫通配線を形成して，パッケージの上部に端子を設け，そのパッケージの上部に，上下面に端子を持つ再配線基板を半田ボールにより接続する構成とされている。

【０００５】

【特許文献１】

特開平０６－２５２３３４号公報（第３－７頁、第１図）

【０００６】

【特許文献２】

特開２００２－１５８３１２号公報（第３－７頁、第１図）

【０００７】

【発明が解決しようとする課題】

しかしながら、特許文献１に開示された半導体装置は、下部に配設される半導体装置部は複数個多段積層できず、またリードフレームを変形してパッケージ上部に端子を形成する必要があるため、製造工程が多く、そのため製造コストが高

くなってしまうという問題点があつた。

【０００８】

また、特許文献２に開示された半導体装置は、個々の半導体装置部がモールドされているために薄型化が困難であり、また貫通配線を形成するために要する製造工程が多いため、製造コストが高くなるという問題点がある。

【０００９】

また、特許文献１，２に開示されたような複数の半導体装置部を積層して三次元構造とした半導体装置においては、各半導体装置部の外部接続端子の配列を予め積層可能なように設定しておく必要がある。この場合、それぞれの半導体装置部を新規に設計・製造・試験をした後に積層して一体化するよりも、良品と保証された汎用の半導体装置を入手し、これを半導体装置部として積層した方が、試験工程における設備・人件費を削減できることで、トータルコストで安くなる場合がある。しかしながら、各半導体装置部の外部接続端子の配列が、汎用の半導体装置を積層可能なようには設定されていないという問題点があった。

【００１０】

本発明は上記の点に鑑みてなされたものであり、汎用の半導体装置部（半導体装置）を積層可能とした積層型半導体装置を提供することを目的とする。

【００１１】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【００１２】

請求項１記載の発明に係る積層型半導体装置は、

第１の配線基板と、該第１の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第１の半導体装置部と、

前記第１の半導体装置部の下部に位置するよう配設された第２の配線基板と、該第２の配線基板に搭載された少なくとも一つの半導体素子と、前記第２の配線板の前記第１の半導体装置部と対向する面に形成された接続用電極とを有する第２の半導体装置部と、

前記第１の半導体装置部と前記第２の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電気的に接続する第１の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電気的に接続する第２の導電性部材と、前記第１の導電性部材と前記第２の導電性部材を接続する第３の導電性部材とを有する第３の配線基板とを具備することを特徴とするものである。

【００１３】

上記発明によれば、外部接続端子と電気的に接続する第２の導電性部材は、外部接続端子の形成位置に対応して形成され、他に第２の導電性部材の形成位置を規制するものはない。このため、外部接続端子の配列が予め定められている汎用の半導体装置部を用いることが可能となる。また、第３の配線基板上における第２の導電性部材及び第３の導電性部材のレイアウトの自由度が向上するため、積層型半導体装置が容易に実現でき、これにより半導体装置の高機能化、多機能化に対応することができる。

【００１４】

また、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本請求項の発明に係る半導体装置は、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部として搭載するため、半導体装置全体の製造歩留を向上させることができる。

【００１５】

また、請求項２記載の発明は、

請求項１記載の積層型半導体装置において、

前記第１の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第３の導電性部材と接続された半田バンプにより構成したことを特徴とするものである。

【００１６】

上記発明によれば、第１の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

【００１７】

また、請求項３記載の発明は、

請求項１記載の積層型半導体装置において、

前記第ファン１の導電性部材を半田バンプにより構成すると共に、

前記第２の導電性部材及び前記第３の導電性部材を、前記第３の配線基板の前記第２の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第３の配線基板に形成された貫通孔を介して前記第２の導電性部材と電気的に接続したことを特徴とするものである。

【００１８】

上記発明によれば、外部接続端子を第２の導電性部材に接続する際、外部接続端子は第３の配線基板に形成された貫通孔を介して第２の導電性部材と電気的に接続される。このため、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第１の半導体装置部と第３の配線基板とを近接でき、よって積層型半導体装置の薄型化を図ることができる。

【００１９】

また、請求項４記載の発明は、

請求項１記載の積層型半導体装置において、

前記第２の導電性部材及び前記第３の導電性部材を、前記第３の配線基板の前記第１の半導体装置部と対向する面と、前記第２の半導体装置部と対向する面との両面にそれぞれに形成すると共に、

該両面に形成された第３の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とするものである。

【００２０】

上記発明によれば、第３の導電性部材を第３の配線基板の両面にそれぞれに形成することにより、片面のみに第３の導電性部材を形成する構成に比べ、第３の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。

【００２１】

また、第３の配線基板の両面に第２の導電性部材及び第３の導電性部材が形成

されることにより、第３の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、半導体装置の信頼性を向上させることができる。

【００２２】

また、請求項５記載の発明は、

請求項１乃至４のいずれかに記載の積層型半導体装置において、

前記第１の半導体装置部を複数積層した構造としたことを特徴とするものである。

【００２３】

上記発明によれば、第１の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【００２４】

また、請求項６記載の発明は、

請求項１乃至５のいずれかに記載の積層型半導体装置において、

前記第２の半導体装置部を複数積層した構造としたことを特徴とするものである。

【００２５】

上記発明によれば、第２の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

【００２６】

また、請求項７記載の発明は、

請求項１乃至６のいずれかに記載の積層型半導体装置において、

前記第３の配線基板を多層配線基板としたことを特徴とするものである。

【００２７】

上記発明によれば、第３の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第３の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

【００２８】

また、請求項８記載の発明は、

請求項１乃至７のいずれかに記載の積層型半導体装置において、

前記第３の配線基板に受動素子を設けたことを特徴とするものである。

【００２９】

上記発明によれば、第３の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【００３０】

また、請求項９記載の発明は、

請求項８記載の積層型半導体装置において、

前記第３の配線基板を多層配線基板とすると共に、

前記受動素子を前記多層配線基板の内部に形成したことを特徴とするものである。

【００３１】

上記発明によれば、受動素子を多層配線基板の内部に形成したことにより、受動素子は第３の配線基板に一体的に組み込まれた状態となる。このため、第３の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【００３２】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【００３３】

図１は、本発明の第１実施例である積層型半導体装置１０Ａ（以下、単に半導体装置という）を示している。半導体装置１０Ａは、大略すると上部半導体装置部１１Ａ（以下、上部装置部という），下部半導体装置部１２Ａ（以下、下部装置部という），及びインターポーザ基板１３Ａ（請求項記載の第３の配線基板に相当する）等により構成されている。

【００３４】

上部装置部１１Ａは、一般に市販されている汎用の半導体装置である。よって、上部装置部１１Ａは、製造メーカによって予め良品と保証されたものを用いる

。

【００３５】

この上部装置部１１ＡはＢＧＡ(Ball Grid Array)タイプの半導体装置であり、第１の配線基板１６Ａの上面に半導体素子１４Ａが搭載されると共に、第１の配線基板１６Ａの下面には外部接続端子２２が配設されている。この外部接続端子２２は、半田ボールにより形成されている。

【００３６】

本実施例では、半導体素子１４Ａは第１の配線基板１６Ａ上にフェイスアップで固定されている。また、第１の配線基板１６Ａには電極パッド２０が形成されており、半導体素子１４Ａと電極パッド２０はワイヤ２１により接続されている。

【００３７】

また、前記した外部接続端子２２は第１の配線基板１６Ａに形成された貫通孔を介して電極パッド２０に接続されている。よって、半導体素子１４Ａはワイヤ２１及び電極パッド２０を介して外部接続端子２２に電気的に接続されている。また、第１の配線基板１６Ａの上部全体には封止樹脂２３が形成されており、半導体素子１４Ａ，ワイヤ２１等を保護している。

【００３８】

下部装置部１２Ａは、大略すると半導体素子１５Ａ，第２の配線基板１７Ａ，及び外部接続端子２９等により構成されている。

半導体素子１５Ａは、第２の配線基板１７Ａにフリップチップ接合により搭載されている。即ち、半導体素子１５Ａの回路面にある電極部（図示せず）にはバンプ２５が予め形成されており、このバンプ２５を第２の配線基板１７Ａの上面２４Ａに形成されたバンプ接合用電極２７に接合することにより、半導体素子１５Ａは第２の配線基板１７Ａに電気的に接続される。また、バンプ２５とバンプ接合用電極２７との接合部分の強度を高めるため、半導体素子１５Ａと第２の配線基板１７Ａとの間にはアンダーフィル樹脂３０が配設されている。

【００３９】

第２の配線基板１７Ａは、上部装置部１１Ａの下部に位置するよう配設されて

いる。即ち、下部装置部１２Ａは、上部装置部１１Ａの下部に配設された構成とされている。

【００４０】

この第２の配線基板１７Ａは、その下面２４Ｂに複数の下部電極２８が形成されており、この下部電極２８には外部接続端子２９が接合されている。この外部接続端子２９は、半導体装置１０Ａを実装基板に実装する際、実装基板に接合されるものである。また、外部接続端子２９が接合される下部電極２８は。第２の配線基板１７Ａに内設された内層配線（図示せず）によりバンプ接合用電極２７或いは接続用電極２６に接続されている。

【００４１】

接続用電極２６は、後述するようにインターポーザ基板１３Ａの第１の導電性部材３２が接合される電極であり、第２の配線基板１７Ａの上面２４Ａに形成されている。また、その配設位置は、半導体素子１５Ａの搭載位置を避けて形成されている。

【００４２】

インターポーザ基板１３Ａは、大略すると回路基板本体１８Ａ，第１の導電性部材３２，第２の導電性部材３３，及び第３の導電性部材３４Ａ等により構成されている。

回路基板本体１８Ａは、前記した上部装置部１１Ａと下部装置部１２Ａとの間に配設されている。従って、インターポーザ基板１３Ａは上部装置部１１Ａと下部装置部１２Ａとの間に配設された構成とされている。この回路基板本体１８Ａは、ガラスーエポキシ或いはガラスーＢＴ（ビスマレイミド・トリアジン）製の片面配線基板であり、本実施例では上面３１Ａに第２の導電性部材３３による電極部及び第３の導電性部材３４Ａによる配線部が形成された構成とされている。

【００４３】

第１の導電性部材３２は半田バンプであり、インターポーザ基板１３Ａに形成された貫通孔を介して第３の導電性部材３４Ａに接続されている。この第１の導電性部材３２は、下部装置部１２Ａとインターポーザ基板１３Ａとを電気的に接続する機能を奏するものである。このように、下部装置部１２Ａとインターポー

ザ基板１３Ａとを電気的に接続するのに半田バンプよりなる第１の導電性部材３２を用いることにより、第１の導電性部材３２を簡易かつ低コストに形成でき、かつ下部装置部１２Ａとインターポーザ基板１３Ａの積層処理を容易に実現することができる。

【００４４】

また、回路基板本体１８Ａの上面３１Ａには、第２の導電性部材３３及び第３の導電性部材３４Ａが形成されている。この各導電性部材３３，３４Ａは、銅をプリント配線した構成とされている。また、この各導電性部材３３，３４Ａは、回路基板本体１８Ａの上面３１Ａに形成された保護膜３５Ａにより保護されている。この保護膜３５Ａは、上部装置部１１Ａの外部接続端子２２に対応する位置に開口部４４が形成されている。

【００４５】

第２の導電性部材３３は、前述した上部装置部１１Ａの外部接続端子２２が接合される。また、第３の導電性部材３４Ａは、第１の導電性部材３２と第２の導電性部材３３を電気的に接続する配線として機能する。

【００４６】

従って、上部装置部１１Ａの外部接続端子２２と、下部装置部１２Ａの接続用電極２６は、第１の導電性部材３２，第２の導電性部材３３，及び第３の導電性部材３４Ａを介して電気的に接続された構成となる。これにより、上部装置部１１Ａと下部装置部１２Ａはインターポーザ基板１３Ａを中間に介して積層された半導体装置１０Ａを構成し、かつインターポーザ基板１３Ａは上部装置部１１Ａと下部装置部１２Ａを電気的に接続するインターポーザとして機能する。

【００４７】

上記構成とされた半導体装置１０Ａは、第２の導電性部材３３は上部装置部１１Ａの外部接続端子２２の形成位置に対応して形成され、他に第２の導電性部材３３の形成位置を規制するものはない。このため、回路基板本体１８Ａの上面３１Ａにおいて、第２の導電性部材３３を外部接続端子２２の配列に合わせて形成することが可能となる。このため、外部接続端子２２の配列が予め定められている、汎用の半導体装置を上部装置部１１Ａとして用いることが可能となる。

【００４８】

前記したように、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本実施例の半導体装置１０Ａは、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部１１Ａとして搭載するため、半導体装置１０Ａ全体としての製造歩留を向上させることができる。

【００４９】

また、本実施例に係る半導体装置１０Ａでは、上記のように第２の導電性部材３３を半導体装置部１１Ａに合わせて形成できることにより設計の自由度を高めることができるが、合わせて回路基板本体１８Ａの上面３１Ａに形成される第３の導電性部材３４Ａについても設計の自由度を高めることもできる。これにより、積層型であることにより複雑となる配線構造を簡単化することが可能となり、半導体装置１０Ａの設計を容易に実現でき、これにより半導体装置１０Ａの高機能化、多機能化に対応することができる。

【００５０】

尚、図示していないが，各基板間１６Ａ，１７Ａ，１３Ａの電気的接続部以外の部分であって，対向する間隙部に接着材を介在させて接着固定するような構造とすることも可能である（本実施例では，半導体素子１５Ａの非回路面（上面）と回路基板本体１８Ａとの間隙等がこれに対応する）。また、以下説明する各実施例においても同様である。

【００５１】

次に、本発明の第２実施例について説明する。

図２は、本発明の第２実施例である半導体装置１０Ｂを示している。尚、第２実施例の説明、及びその後の各実施例の説明おいて用いる図３乃至図７において、図１に示した構成と対応する構成については同一符号を付してその説明を省略するものとする。

【００５２】

本実施例に係る半導体装置１０Ｂは、上部装置部１１Ａ及び下部装置部１２Ａ

は、前記した第１実施例に係る半導体装置１０Ａと同一構成とされている。しかしながら、第１実施例に係るインターポーザ基板１３Ａは、第２の導電性部材３３及び第３の導電性部材３４Ａが回路基板本体１８Ａの上面３１Ａに形成されていたのに対し、本実施例では回路基板本体１８Ｂの下面３１Ｂに第２の導電性部材３３及び第３の導電性部材３４Ｂを形成したことを特徴とするものである。

【００５３】

回路基板本体１８Ｂの下面３１Ｂは、下部装置部１２Ａと対向する側の面である。よって、本実施例に係る半導体装置１０Ｂは、第２の導電性部材３３及び第３の導電性部材３４を、回路基板本体１８Ｂの下部装置部１２Ａと対向する面に形成した構成としている。

【００５４】

また、回路基板本体１８Ｂの下面３１Ｂに形成された第２の導電性部材３３及び第３の導電性部材３４Ｂは、回路基板本体１８Ｂの下面３１Ｂに形成された保護膜３５Ｂにより保護されている。また、下部装置部１２Ａの接続用電極２６に対応する位置において、保護膜３５Ｂには、開口部４４Ｂが形成されている。この開口部４４Ｂにおいて、第１の導電性部材３２と第３の導電性部材３４Ｂとは接続されている。

【００５５】

また、上部装置部１１Ａの外部接続端子２２は、インターポーザ基板１３Ｂの第２の導電性部材３３に接続する必要がある。このため、回路基板本体１８Ｂの上部装置部１１Ａの外部接続端子２２の形成位置と対応する位置には貫通孔３６が形成されており、外部接続端子２２はこの貫通孔３６を介して第２の導電性部材３３に電気的に接続された構成とされている。

【００５６】

具体的には、外部接続端子２２は前記したように半田ボールであるため、上部装置部１１Ａをインターポーザ基板１３Ｂに搭載する際に実施される加熱処理により外部接続端子２２は溶融し、貫通孔３６内に進入する。よって、外部接続端子２２は貫通孔３６を介して第２の導電性部材３３に電気的に接続される。

【００５７】

このように、本実施例に係る半導体装置１０Ｂは、外部接続端子２２の一部が回路基板本体１８Ｂに形成された貫通孔３６内に入り込んだ状態となる。このため、外部接続端子２２が貫通孔３６内に入り込む量に対応する高さ分だけ、上部装置部１１Ａとインターポーザ基板１３Ｂとを近接することが可能となる。

【００５８】

具体的には、第１実施例に係る半導体装置１０Ａでは、図１に示すように上部装置部１１Ａとインターポーザ基板１３Ａとの離間距離Ｈ１必要であったものを、本実施例に係る半導体装置１０Ｂによれば、図２に矢印示すように外部接続端子２２が貫通孔３６に入り込むことにより、上部装置部１１Ａとインターポーザ基板１３Ｂの離間距離Ｈ２を小さくすることができる（Ｈ２＜Ｈ１）。これにより、第１実施例の半導体装置１０Ａに比べ、本実施例に係る半導体装置１０Ａは薄型化を図ることができる。

【００５９】

次に、本発明の第３実施例について説明する。

図３は、本発明の第３実施例である半導体装置１０Ｃを示している。本実施例に係る半導体装置１０Ｃも、上部装置部１１Ａ及び下部装置部１２Ａは前記した第１実施例に係る半導体装置１０Ａと同一構成とされている。しかしながら、第１及び第２実施例に係るインターポーザ基板１３Ａ，１３Ｂは、第３の導電性部材３４Ａ，３４Ｂを回路基板本体１８Ａの上面３１Ａ或いは下面３１Ｂのいずれか片面にのみに形成していた。

【００６０】

これに対して本実施例では、インターポーザ基板１３Ｃの上面３１Ａ及び下面３１Ｂの双方に第３の導電性部材３４Ａ，３４Ｂを形成したことを特徴とするものである。具体的には、回路基板本体１８Ｃの上面３１Ａに、外部接続端子２２と接合される第２の導電性部材３３と第３の導電性部材３４Ａとを形成し、回路基板本体１８Ｃの下面３１Ｂに第３の導電性部材３４Ｂを形成した構成としている。尚、各第３の導電性部材３４Ａ，３４Ｂ上には保護膜３５Ａ，３５Ｂが形成されており、各第３の導電性部材３４Ａ，３４Ｂを保護している。

【００６１】

また、上部装置部１１Ａの外部接続用端子２２に対応する位置において、保護膜３５Ａには、開口部４４Ａが形成されている。また、下部装置部１２Ａの接続用電極２６に対応する位置において、保護膜３５Ｂには、開口部４４Ｂが形成されている。

【００６２】

また、回路基板本体１８Ｃの上面３１Ａに形成された第３の導電性部材３４Ａと、下面３１Ｂに形成された第３の導電性部材３４Ｂは、回路基板本体１８Ｃを貫通して形成された貫通電極３７により電気的に接続された構成とされている。この貫通電極３７は、回路基板本体１８Ｃに貫通孔を形成した後、この貫通孔に銅を充填することにより形成されたビア構造とされている。

【００６３】

上記した本実施例に係る半導体装置１０Ｃによれば、インターポーザ基板１３Ｃが回路基板本体１８Ｃの両面にそれぞれに第３の導電性部材３４Ａ，３４Ｂを形成した構成であるため、片面のみに第３の導電性部材を形成する構成に比べ、第３の導電性部材３４Ａ，３４Ｂをより複雑なパターンで形成でき、よって半導体装置１０Ｃの設計の自由度を向上させることができる。また、この第３の導電性部材３４Ａ，３４Ｂが補強材として機能することにより、インターポーザ基板１３Ｃの剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、製造時においては製造歩留を向上させることができると共に、完成後は半導体装置１０Ｃの信頼性を高めることができる。

【００６４】

次に、本発明の第４実施例について説明する。

図４は、本発明の第４実施例である半導体装置１０Ｄを示している。本実施例に係る半導体装置１０Ｄは、インターポーザ基板１３Ｄ上に複数の上部装置部１１Ｂ，１１Ｃを積層配置したことを特徴とするものである。

【００６５】

最上部に位置する上部装置部１１Ｂは、半導体素子１４Ｂ，半導体素子１４Ｃを第１の配線基板１６Ｂ上に積層した構造を有している。半導体素子１４Ｃは第１の配線基板１６Ｂにフリップチップ接合され、半導体素子１４Ｂはこの半導体

素子１４Ｃ上にフェイスアップで接着剤４５により接着固定されている。また、半導体素子１４Ｂと第１の配線基板１６Ｂは、ワイヤ接続された構成とされている。更に、第１の配線基板１６Ｂの下面（上部装置部１１Ｃと対向する面）には、接続電極４４Ａが形成されている。

【００６６】

上部装置部１１Ｃは、上記した上部装置部１１Ｂの下部に配設されている。この上部装置部１１Ｃは、第１の配線基板１６Ｃに半導体素子１４Ｄをフリップチップ接合した構成とされている。また、第１の配線基板１６Ｃのインターポーザ基板１３Ｄと対向する位置には、外部接続端子２２が形成されている。更に、第１の配線基板１６Ｃの上面（上部装置部１１Ｂと対向する面）には、接続電極４４Ｂが形成されている。

【００６７】

上記構成とされた上部装置部１１Ｂと上部装置部１１Ｃは、上部装置部１１Ｂの第１の配線基板１６Ｂに形成されている接続電極４４Ａと、上部装置部１１Ｃの第１の配線基板１６Ｃに形成されている接続電極４４Ｂとを積層用バンプ３８Ａで接続することにより、電気的に接続された構成とされている。

【００６８】

一方、下部装置部１２Ｂは、本実施例では２個の半導体素子１５Ｂ，１５Ｃを搭載した構成としている。各半導体素子１５Ｂ，１５Ｃはバンプ２５が形成されており、第２の配線基板１７Ｂに形成されたバンプ接合用電極２７にフリップチップ接合されている。

【００６９】

インターポーザ基板１３Ｄは、上面３１Ａに第２の導電性部材３３及び第３の導電性部材３４Ａが形成されており、下面３１Ｂに第１の導電性部材３２が接合される第３の導電性部材３４Ｂを形成している。この第３の導電性部材３４Ａと第３の導電性部材３４Ｂは、回路基板本体１８Ｄ内に形成されたビアにより電気的に接続された構成とされている。

【００７０】

上記したように本実施例に係る半導体装置１０Ｄは、２個の上部装置部１１Ｂ

，１１Ｃをインターポーザ基板１３Ｄ上に積層した構成としている。この構成とすることにより、半導体装置１０Ｄの更なる高機能化、多機能化を図ることができる。

【００７１】

また、上部装置部の積層数は、本実施例のように２層に限定されるものではなく、３層以上積層することも可能である。その場合の各上部装置部間の電気的接続、及び上部装置部とインターポーザ基板１３Ｄの電気的接続は、フリップチップ接続，ＴＡＢ接続，ワイヤ接続等を適宜選定して用いることができる。また、各上部装置部において、第１の配線基板に搭載される半導体素子は、第１の配線基板の上面または下面，或いは両面のいずれに搭載することも可能である。

【００７２】

次に、本発明の第５実施例について説明する。

図５は、本発明の第５実施例である半導体装置１０Ｅを示している。本実施例に係る半導体装置１０Ｅは、インターポーザ基板１３Ｄの下部に複数の下部装置部１２Ａ，１２Ｃを積層配置したことを特徴とするものである。

【００７３】

最下部に位置する下部装置部１２Ａは、図１に示した第１実施例に係る半導体装置１０Ａに設けられているものと同様の構成とされている。下部装置部１２Ｃは、この下部装置部１２Ａの上部に積層されている。

【００７４】

下部装置部１２Ｃは、第２の配線基板１７Ｃの上面に半導体素子１５Ｄがフリップチップ接合されると共に、下面にも半導体素子１５Ｅがフリップチップ接合された構成とされている。これにより、半導体素子１５Ｄ，１５Ｅの実装密度の向上を図っている。また、第２の配線基板１７Ｃの上面には接続電極４５Ａが形成されており、また下面には接続電極４５Ｂが形成されている。

【００７５】

下部装置部１２Ａと下部装置部１２Ｃは、第２の配線基板１７Ａに形成された接続用電極２６と第２の配線基板１７Ｃに形成された接続電極４５Ｂを積層用バンプ３８Ｂで接続することにより電気的に接続された構成とされている。また、

インターポーザ基板１３Ｄと下部装置部１２Ｃは、回路基板本体１８Ｄの下面３１Ｂに形成されている第３の導電性部材３４Ｂと、第２の配線基板１７Ｃに形成されている接続電極４５Ａを第１の導電性部材３２で接続することにより電気的に接続された構成とされている。

【００７６】

一方、本実施例における上部装置部１１Ｄは、半導体素子１４Ｅ，半導体素子１４Ｆを第１の配線基板１６Ｄ上に積層した構造を有している。半導体素子１４Ｆは第１の配線基板１６Ｄの上部にフェイスアップで接着剤４５Ｆにより接着固定され、半導体素子１４Ｅはこの半導体素子１４Ｆの上部にフェイスアップで接着剤４５Ｅにより接着固定されている。

【００７７】

この半導体素子１４Ｅと第１の配線基板１６Ｄはワイヤ接続されており、また半導体素子１４Ｆと第１の配線基板１６Ｄもワイヤ接続されている。これにより、各半導体素子１４Ｅ，１４Ｆは、第１の配線基板１６Ｄと電気的に接続された状態となる。尚、インターポーザ基板１３Ｄは、図４に示した第４実施例に係るものと同一構成とされている。

【００７８】

上記したように本実施例に係る半導体装置１０Ｅは、２個の下部装置部１２Ａ，１２Ｃをインターポーザ基板１３Ｄの下部に積層した構成としている。この構成とすることにより、半導体装置１０Ｅの更なる高機能化、多機能化を図ることができる。

【００７９】

また、下部装置部の積層数は、本実施例のように２層に限定されるものではなく、３層以上積層することも可能である。その場合の各下部装置部間の電気的接続、及び下部装置部とインターポーザ基板１３Ｄの電気的接続は、フリップチップ接続，ＴＡＢ接続，ワイヤ接続等を適宜選定して用いることができる。また、各下部装置部において、第２の配線基板に搭載される半導体素子は、第２の配線基板の上面または下面，或いは両面のいずれに搭載することも可能である。

【００８０】

尚、本実施例ではインターポーザ基板１３Ｄとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面配線基板、或いは両面配線基板を用いることも可能である。

【００８１】

次に、本発明の第６実施例について説明する。

図６は、本発明の第６実施例である半導体装置１０Ｆを示している。本実施例に係る半導体装置１０Ｆは、インターポーザ基板１３Ｅを構成する回路基板本体１８Ｅを多層配線基板とすると共に、この回路基板本体１８Ｅ上に受動部品４０を搭載したことを特徴とするものである。

【００８２】

インターポーザ基板１３Ｅは、回路基板本体１８Ｅの内部に内層配線として構成される第３の導電性部材３４Ｃが形成されている。この第３の導電性部材３４Ｃは、第１の導電性部材３２と第２の導電性部材３３とを電気的に接続する。

【００８３】

また本実施例では、この回路基板本体１８Ｅに搭載される上部装置部１１Ｅは、第１の配線基板１６Ｄに半導体素子１４Ｇがフリップチップ接合された構成とされている。

【００８４】

更に、本実施例では、インターポーザ基板１３Ｅの上部に、受動部品４０を搭載した構成とされている。この受動部品４０は、例えばチップコンデンサ，チップ抵抗等に代表される小型電子部品である。本実施例においては、受動部品４０は、インターポーザ基板１３Ｅの上部に半田付けされる。

【００８５】

上記構成とされた半導体装置１０Ｆは、インターポーザ基板１３Ｅとして多層配線基板を用いているため、内層配線となる第３の導電性部材３４Ｃをより高密度とすることができる。

【００８６】

また、インターポーザ基板１３Ｅは、内部に内層配線（第３の導電性部材３４Ｃ）が形成されているため、片面配線基板或いは両面配線基板に比べて剛性が高

い。このため、インターポーザ基板１３Ｅに温度変化による反りや変形が発生することを抑制でき、よって半導体装置１０Ｆの信頼性を高めることができる。

【００８７】

また、本実施例に係る半導体装置１０Ｆは、インターポーザ基板１３Ｅに受動部品４０を搭載した構成とされているため、所定の電気特性が要求される高周波デバイスに適している。

【００８８】

尚、本実施例ではインターポーザ基板１３Ｅとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面単層配線基板、或いは両面単層配線基板を用いることも可能である。

【００８９】

次に、本発明の第７実施例について説明する。

図７は、本発明の第７実施例である半導体装置１０Ｇを示している。図６を用いて説明した第６実施例に係る半導体装置１０Ｆでは、回路基板本体１８Ｅとは別部品とされた受動部品４０を用意し、これをインターポーザ基板１３Ｅに半田付けする構成とした。

【００９０】

これに対して本実施例に係る半導体装置１０Ｇは、多層化されたインターポーザ基板１３Ｆ内に内層配線として形成される第３の導電性部材３４Ｃと共に、内層配線を利用して受動素子であるインダクタ部４１及びコンデンサ部４２を回路基板本体１８Ｆ（インターポーザ基板１３Ｆ）内に形成したことを特徴とするものである。

【００９１】

尚、受動素子を多層配線基板の内部に形成する方法は、本実施例のように、内層配線として形成する方法の他、受動素子部品を多層配線基板の内部に埋設して内部配線として接続するように形成する方法もある。

【００９２】

本実施例に係る半導体装置１０Ｇによれば、受動素子であるインダクタ部４１及びコンデンサ部４２を多層基板である回路基板本体１８Ｆの内層配線により形

成したことにより、受動素子４１，４２をインターポーザ基板１３Ｆに一体的に組み込むことができる。このため、回路基板本体１８Ｆと別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【００９３】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【００９４】

請求項１記載の発明によれば、外部接続端子の配列が予め定められている汎用の半導体装置部を積載接続できるため、設計の自由度が向上し、複数の半導体装置を組み合わせて機能するようなシステムを有する積層型半導体装置が容易に実現できる。これにより、半導体装置の高機能化、多機能化に対応することができる。

【００９５】

また、品質保証された汎用の半導体装置を組み込むことによって、試験工程を簡略化できるので製造コストの低減を図れ、製造歩留りを向上させることができる。

【００９６】

また、請求項２記載の発明によれば、第１の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

【００９７】

また、請求項３記載の発明によれば、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第１の半導体装置部と第３の配線基板を近接できるため、積層型半導体装置の薄型化を図ることができる。

【００９８】

また、請求項４記載の発明によれば、片面のみに第３の導電性部材を形成する構成に比べ、第３の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。また、第３の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できるため、半導体装置の信頼性を向上さ

せることができる。

【００９９】

また、請求項５及び請求項６記載の発明によれば、半導体装置の高機能化、多機能化により有利となる。

【０１００】

また、請求項７記載の発明によれば、第３の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第３の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

【０１０１】

また、請求項８記載の発明によれば、第３の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

【０１０２】

また、請求項９記載の発明によれば、第３の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【図面の簡単な説明】

【図１】

本発明の第１実施例である半導体装置の断面図である。

【図２】

本発明の第２実施例である半導体装置の断面図である。

【図３】

本発明の第３実施例である半導体装置の断面図である。

【図４】

本発明の第４実施例である半導体装置の断面図である。

【図５】

本発明の第５実施例である半導体装置の断面図である。

【図６】

本発明の第６実施例である半導体装置の断面図である。

【図７】

本発明の第７実施例である半導体装置の断面図である。

【符号の説明】

１０Ａ～１０Ｇ　半導体装置

１１Ａ～１１Ｅ　上部装置部

１２Ａ～１２Ｄ　下部装置部

１３Ａ～１３Ｆ　インターポーザ基板

１４Ａ～１４Ｈ，１５Ａ～１５Ｅ　半導体素子

１６Ａ～１６Ｄ　第１の配線基板

１７Ａ～１７Ｃ　第２の配線基板

１８Ａ～１８Ｅ　回路基板本体

２２　外部接続端子

２４Ａ，３１Ａ　上面

２４Ｂ，３１Ｂ　下面

２６　接続用電極

２７　バンプ接合用電極

２８　下部電極

２９　外部接続端子

３２　第１の導電性部材

３３　第２の導電性部材

３４Ａ～３４Ｃ　第３の導電性部材

３５，３５Ａ，３５Ｂ　保護膜

３６　貫通孔

３７　貫通電極

３８Ａ，３８Ｂ　積層用バンプ

３９　内層配線

４０　受動部品

４１　インダクタ部

４２　コンデンサ部

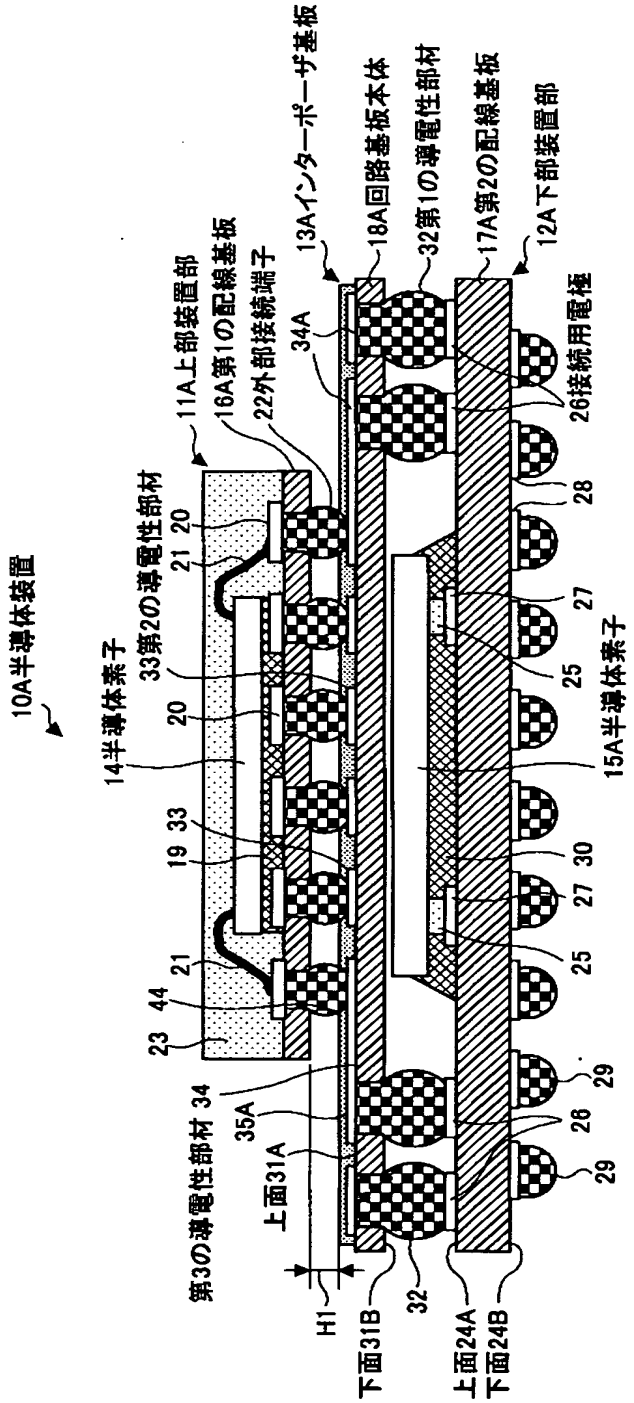
４４，４４Ａ，４４Ｂ　開口部

４５，４５Ｅ，４５Ｆ　接着剤

【書類名】　　図面

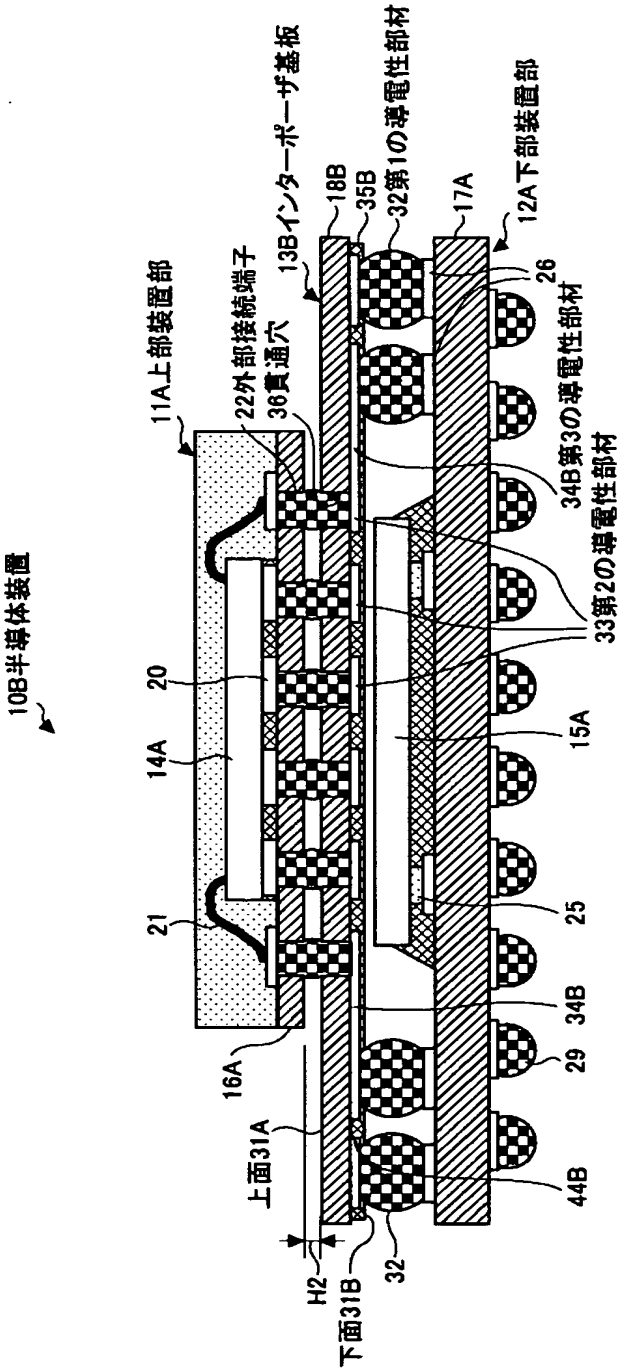
【図１】

本発明の第１実施例である半導体装置の断面図



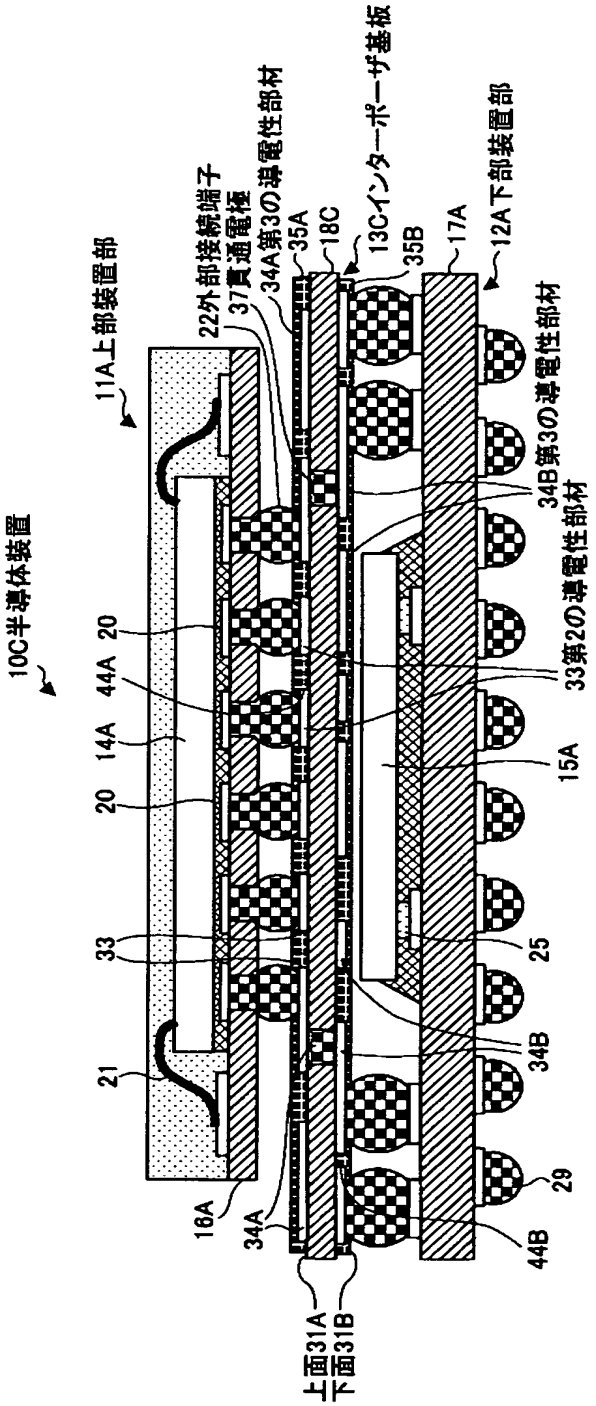
【図２】

本発明の第2実施例である半導体装置の断面図



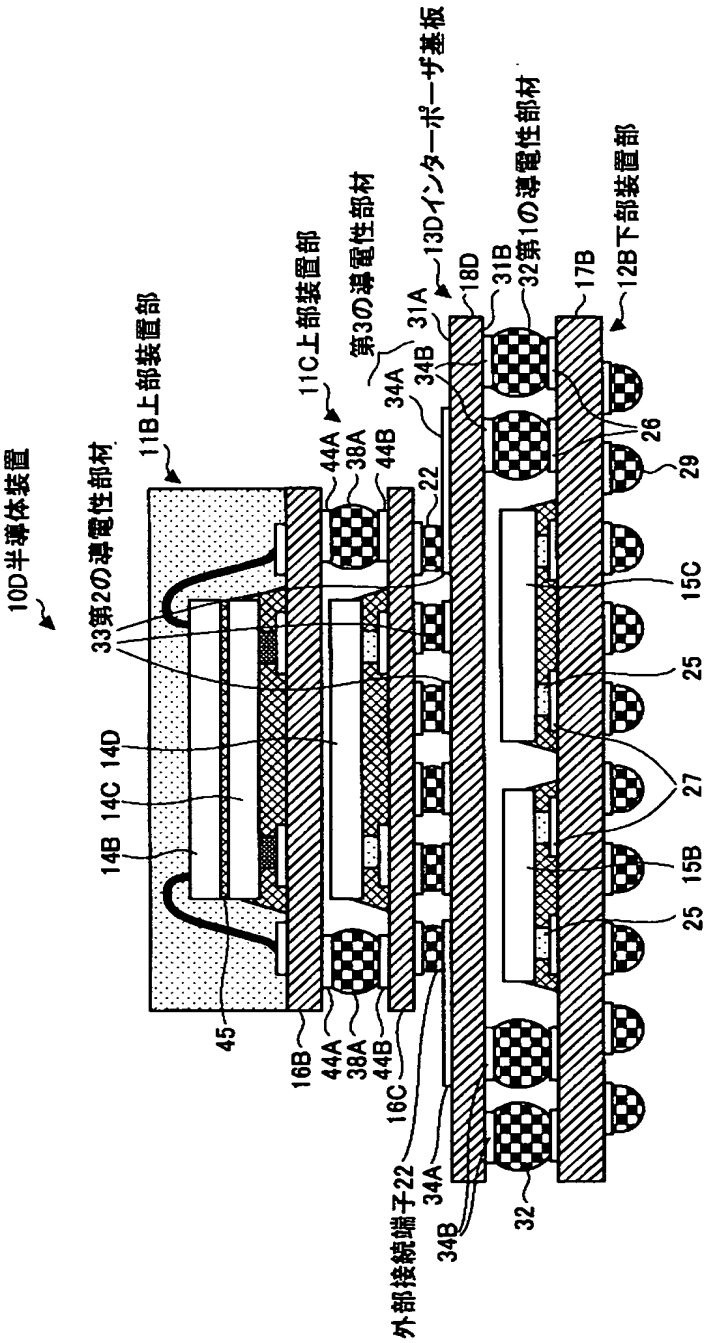
【図３】

本発明の第3実施例である半導体装置の断面図



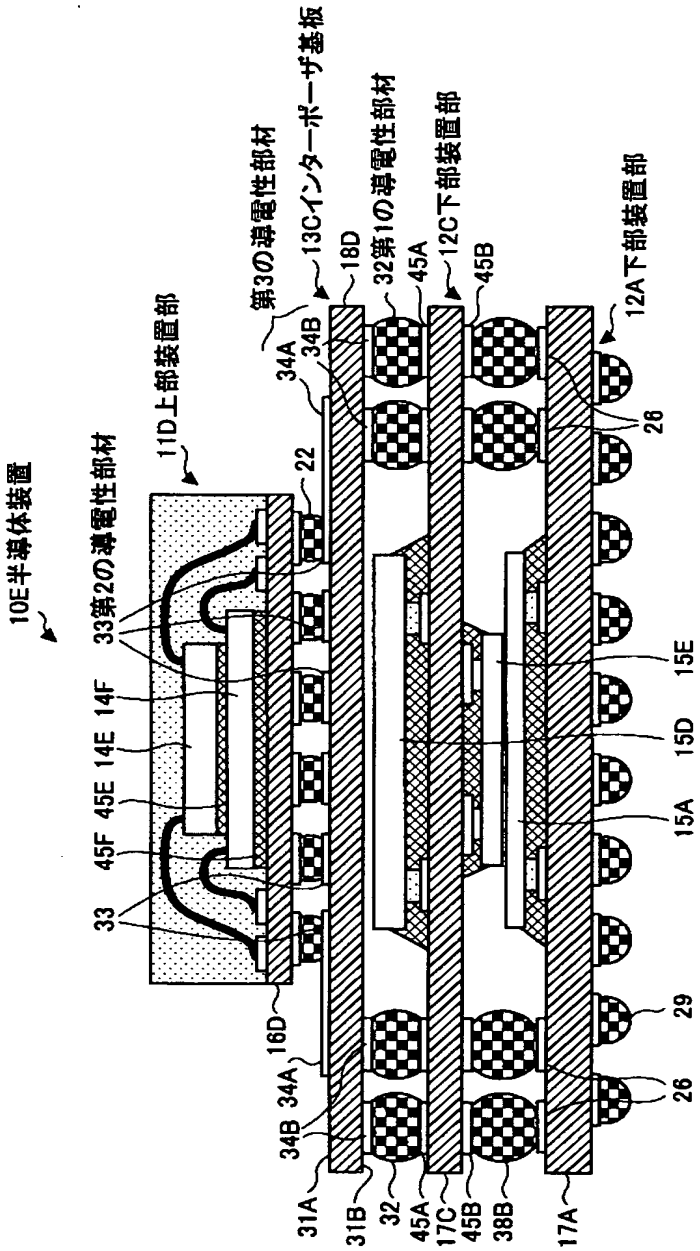
【図４】

本発明の第4実施例である半導体装置の断面図



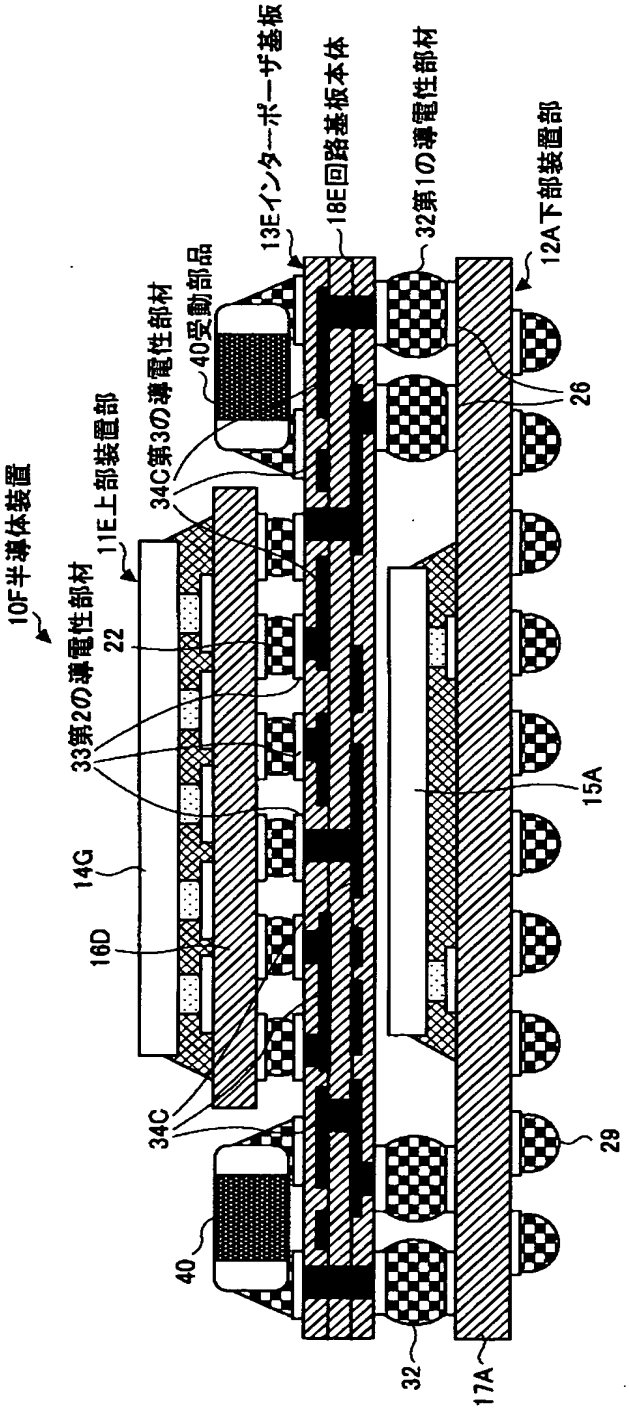
【図５】

本発明の第5実施例である半導体装置の断面図



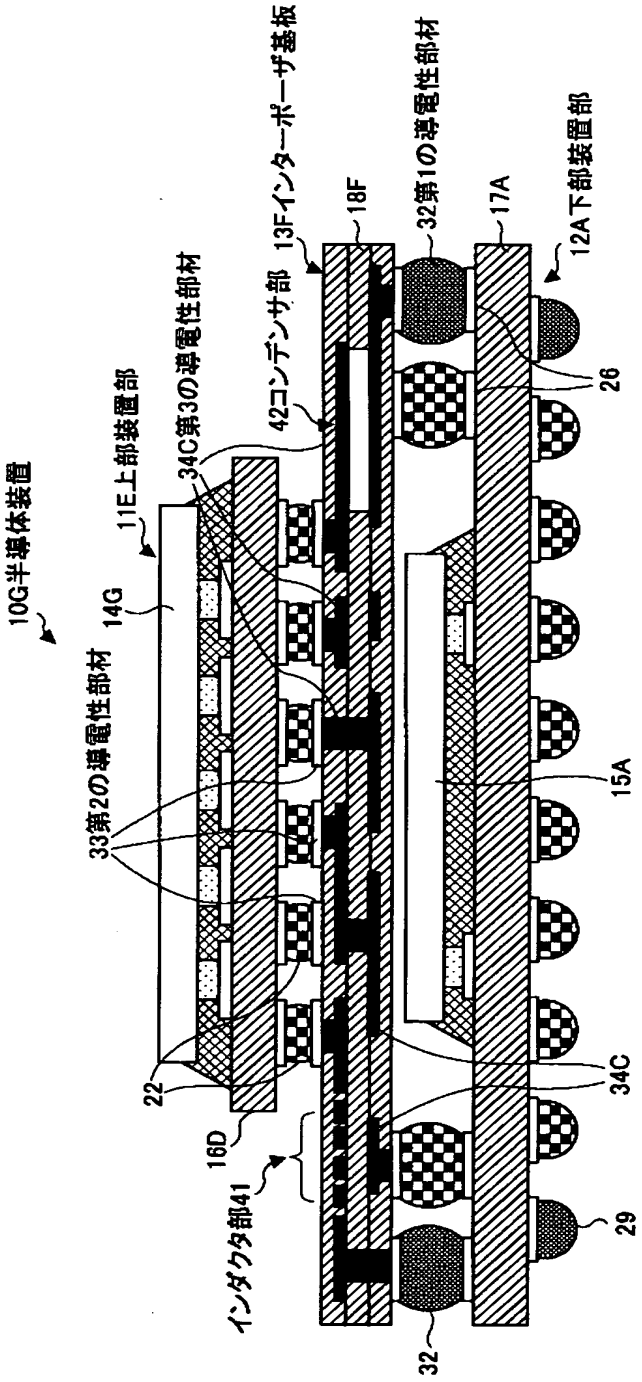
【図６】

本発明の第6実施例である半導体装置の断面図



【図７】

本発明の第7実施例である半導体装置の断面図



【書類名】　要約書

【要約】

【課題】　本発明は複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関し、汎用の半導体装置部（半導体装置）を積層可能とすることを課題とする。

【解決手段】　上部装置部１１Ａと下部装置部１２Ａとの間にインターポーザ基板１３Ａを配設した構成とする。上部装置部１１Ａは、半導体素子１４Ａ、第１の配線基板１６Ａ、及び外部接続端子２２とを有する。また、下部装置部１２Ａは、上部装置部１１Ａの下部に位置する第２の配線基板１７Ａ、半導体素子１５Ａ、及び第２の配線基板１７Ａの上面２４Ａに形成された接続用電極２６を有する。また、インターポーザ基板１３Ａは、第１の配線基板１６Ａと第２の配線基板１７Ａとの間に配設される回路基板本体１８Ａ、接続用電極２６と接続する第１の導電性部材３２、外部接続端子２２の形成位置に対応して形成され外部接続端子２２と電気的に接続する第２の導電性部材３３と、第１の導電性部材３２と第２の導電性部材３３を接続する第３の導電性部材３４Ａとを有する。

【選択図】　図１

特願２００３－０６５３９２

出　願　人　履　歴　情　報

識別番号　　［０００００５２２３］

１．変更年月日　　１９９６年　３月２６日
［変更理由］　　住所変更
住　所　　神奈川県川崎市中原区上小田中４丁目１番１号
氏　名　　富士通株式会社